

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-005533

(43)Date of publication of application : 11.01.1986

(51)Int.Cl.

H01L 21/58

H01L 29/44

H01L 29/74

(21)Application number : 59-125258

(71)Applicant : HITACHI LTD

(22)Date of filing : 20.06.1984

(72)Inventor : OIKAWA SABURO  
YAO TSUTOMU  
TERASAWA YOSHIO  
SATO YUKIMASA  
SAKURADA SHUROKU

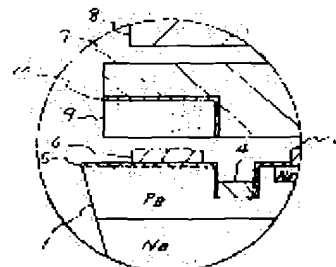
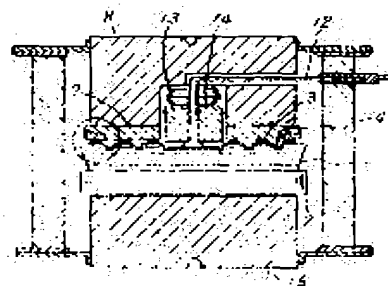
## (54) PRESSURE-CONTACT TYPE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable to alleviate the pressurizing force to be applied on a main electrode by a method wherein a non-metallic insulating member is provided on the electrode plate located at the position opposing to the pressure alleviating metal on a semiconductor substrate, and the non-metallic insulating member and the pressure alleviating metal are pressure-contacted.

CONSTITUTION: When pressurizing force is applied between the upper and the lower copper posts 8 and 15, a ceramic 9 comes in contact with a pressure alleviating metal 6, so a part of the pressurizing force is born between the two members 6 and 9 too, thereby enabling to reduce the pressurizing force concentrating between a cathode electrode 3 and an electrode plate 7.

Pertaining to the short-circuit generating between a cathode electrode 3 and a gate electrode 4, the pressure alleviating metal 6 may be provided directly on a semiconductor substrate 1, as a ceramic 9 is present. In the above-mentioned case, if the pressure alleviating metal 6 is selectively provided simultaneously with the cathode electrode 3, they can be brought in the same thickness. Even when pinholes are present on a silicon oxide film 5, the generation of a short-circuit status between the cathode electrode 3 and the gate electrode 4 through the intermediary of the pressure alleviating metal 6 can be prevented, because a ceramic 9 is present. Besides, as the two members 6 and 9 do not make a metal-to-metal combination, a sticking phenomenon is not generated.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than

the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## ⑫ 公開特許公報 (A)

昭61-5533

⑤ Int. Cl. 4

識別記号

庁内整理番号

③ 公開 昭和61年(1986)1月11日

H 01 L 21/58  
29/44  
29/746732-5F  
7638-5F  
7216-5F

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 加圧接触形半導体装置

⑭ 特 願 昭59-125258

⑮ 出 願 昭59(1984)6月20日

⑯ 発 明 者 及 川 三 郎 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑰ 発 明 者 八 尾 勉 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

⑱ 発 明 者 寺 沢 義 雄 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉑ 発 明 者 佐 藤 行 正 日立市幸町3丁目1番1号 株式会社日立製作所日立研究所内

㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉓ 代 理 人 弁理士 高橋 明夫 外2名

最終頁に続く

## 明 細 書

発明の名称 加圧接触形半導体装置

## 特許請求の範囲

1. 半導体基体の一主表面に主電極と制御電極および圧力線と金属が設けられ、主電極と圧力線と金属に対し電極板が加圧接触される形の半導体装置において、電極板には圧力線と金属と対向する位置に非金属絶縁部材が設けられていることを特徴とする加圧接触形半導体装置。
2. 特許請求の範囲第1項において、半導体基体は1対の主表面間に所定のPN接合が形成され、一導電型の最外層とその隣接層は一主表面に露出し、最外層は複数の短冊状部分を有し、各短冊状部分には主電極がそれぞれ設けられ、制御電極は各短冊状部分をほぼ取囲むように設けられていることを特徴とする加圧接触形半導体装置。
3. 特許請求の範囲第1項において、非金属絶縁部材はセラミックス、ガラスまたは耐圧縮性の有機絶縁材であることを特徴とする加圧接触形半導体装置。

## 発明の詳細な説明

## 〔発明の利用分野〕

本発明は加圧接触形半導体装置に係り、特に主電極が圧接の際の加圧力で変形しないように補強した半導体装置に関するものである。

## 〔発明の背景〕

トランジスタ、サイリスタ、ゲートターンオフサイリスタ、静電誘導型のトランジスタあるいはサイリスタでは、電気伝導、熱伝導のため、半導体基体上の主電極に対し電極板を加圧接触させることがしばしば行われている。具体的には、半導体基体の1対の主表面に主電極が設けられ、一方の主表面に制御電極が設けられ、一方の主表面では電極板を介して主電極に、また他方の主表面では直接あるいは主表面に設けた半導体基体の支持板を介して半導体基体をセラミックスと共に気密封止する役目を持つ外部電極を加圧接触している。電気伝導、熱伝導を良好に維持するために、 $200\text{ Kg/cm}^2$  程度の圧力が通常用いられている。しかしながら、ゲートターンオフサイリスタ等半

導体基体の一主表面に露出された一導電型の最外層が複数の短冊状部分に分割され、各短冊状部分に主電極が設けられているものについては、主電極が制御電極が設けられる部分を除いて半導体基体のほぼ全面にわたって設けられているものより、電極板と主電極の結圧接面積が小さくなるため、主電極に加圧力が集中する。実使用時の熱サイクルがこの圧接部に加わると、主電極として用いられる軟質金属はクリープ現象を起し、塑性変形する。この変形によつて、各短冊状部分をほぼ取囲むように最外層と共に一主表面に露出した隣接層に設けられた制御電極と接触し、制御信号を半導体基体に加えることが不可能となることがある。また、変形した時に、電極板と冶金的に結合する（ステッキング現象）があつた。

これに対し、特開昭53-12270号公報で提案されている様に、隣接層上に半導体酸化膜等の絶縁膜を介して圧力緩和金属（補助電極）を設け、補助電極と電極板の圧接面積を大きくすることにより、主電極と電極板の間の加圧力を緩和するこ

とが試みられた。

この構造では、確かに主電極と電極板の間の加圧力は緩和されたものの、半導体基体上の絶縁膜にピンホールがあると、加圧力で補助電極がピンホールを介して隣接層と接触し、主電極と制御電極がやはり短絡状態になる問題があるだけでなく、電極板と補助電極が直接接しているため、実使用時の熱サイクルで補助電極と電極板がステッキング現象を起す問題があつた。

#### 〔発明の目的〕

本発明は、主電極と制御電極間で短絡状態になることなく、又、圧力緩和金属と電極板がステッキング現象を起すことなく、主電極への加圧力を緩和することができる加圧接触形半導体装置を提供するにある。

#### 〔発明の概要〕

本発明の特徴とするところは、半導体基体上の圧力緩和金属と対向する位置の電極板に非金属絶縁部材を設け、非金属絶縁部材と圧力緩和金属を加圧接触させていることにある。

#### 〔発明の実施例〕

以下、図面に示した一実施例に従つて本発明を説明する。

第1図はセンターゲート構造のゲートターンオフサイリスタを示し、第2図は第1図の実線円部分を拡大して示している。

両図に示すように、P、N、P、Nの4層構造の円板状半導体基体1は下側主表面にP層が露出し、上側主表面にP層とN層が露出している。下側主表面にはタングステン支持板2がアノード電極として低抵抗接触されている。N層は短冊状部分に分れ、各短冊状部分は放射状に同心円上に配置され、それが二重に設けられた形となつている。各短冊状部分には一主電極としてのアルミニウムカソード電極3が低抵抗接触され、各短冊状部分を取囲んでエッチングにより深下げられたP層表面には制御電極としてのアルミニウムゲート電極4が低抵抗接触されている。半導体基体1の上側主表面は上記両電極3、4が設けられている部分を除いて、シリコン酸化膜5が設け

られている。上側主表面の周辺には環状にアルミニウム圧力緩和金属6が設けられている。カソード電極3、圧力緩和金属6にタングステン緩衝電極7を介して上銅ポスト8が加圧接触される。電極板7の圧力緩和金属6に対向する部分には環状セラミック9が接着剤10により固定されている。半導体基体1中央のゲート電極4には、セラミックシール11から導入されたゲートリード12が、銅ポスト8の溝を経て、皿パネ13、固定用絶縁部材14により加圧接触されている。支持板2には下銅ポスト15が加圧接触される。加圧力は上下銅ポスト8、15間に加えられる。接触面を明らかにするため、図面では、接触する部材同志を離して示している。上下銅ポスト8、15とセラミックシール11はフランジ16、17との溶接により半導体基体1の気密封止体を構成している。尚、図では、半導体基体1の横ずれを防止する部材、半導体基体1の表面安定化部材は省略されている。

上下銅ポスト8、15間に加圧力が加えられた

時、セラミック9が圧力緩和金属6にも当接するので、加圧力の一部は両部材6, 9間でも負担され、その結果、カソード電極3と電極板7間の加圧力の集中は軽減される。カソード電極3とゲート電極4の短絡については、セラミック9があるので、圧力緩和金属6を半導体基体1に直接設けてもよい。その場合、カソード電極3と同時に選択的に設ければ、同じ厚さにすることが可能である。

当然のことながら、シリコン酸化膜5にピンホールがあつたとしても、セラミック9があるため、カソード電極3とゲート電極4が圧力緩和金属6を介して短絡状態になることはない。さらに、両部材6, 9は金属同志の組合せとなつておらず、従つて、ステツキング現象を起さない。半導体基体1等は熱サイクルで膨張収縮を行うが、電極板7とのステツキング現象がないことにより、膨張収縮は円滑に行われ、半導体装置としての電気的、機械的特性に悪影響を及ぼさない。

セラミック9はガラス、耐圧縮性有機絶縁材等

も使用できる。

両部材6, 9からなる圧力調整領域は半導体基体1の素子構造に応じて、任意の位置に設けることができる。

N<sub>+</sub>層は多重放射状に配置されている必要はなく、特開昭53-12270号公報に示される様に、並べて配置されても良いし、特公昭50-31436号公報Fig. 1に示される様に円弧状N<sub>+</sub>層を同心状に多重に配置しても良いし、その配置に限定されない。また、櫛歯状、背骨状になつていても良いし、インポリユートパターンでも良い。

本発明は、ゲートターンオフサイリスタに限らず、前記の各種の微細パターン構造を持つ半導体装置に適用可能である。

#### 〔発明の効果〕

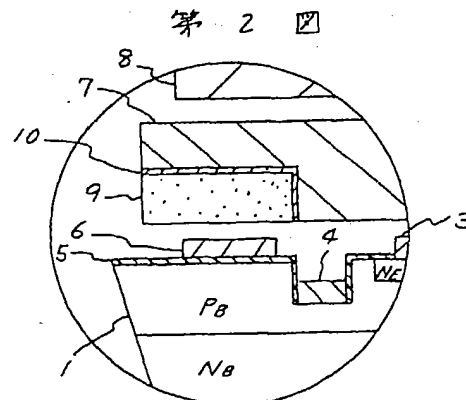
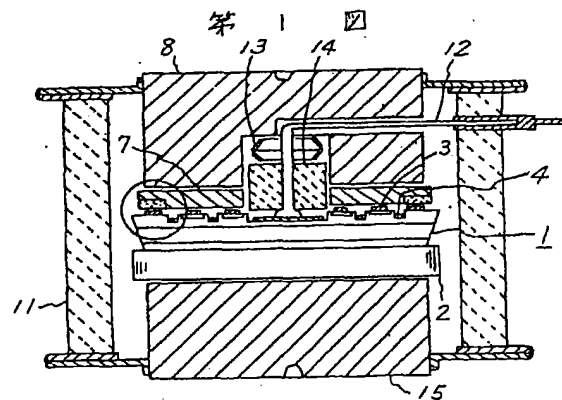
以上説明したように、本発明によれば、主電極と制御電極間で短絡状態となることなく、又圧力緩和金属と電極板がステツキング現象を起すことなく、主電極への加圧力を緩和することができる。加圧接触形半導体装置を得ることができる。

#### 図面の簡単な説明

第1図は本発明の一実施例を示すゲートターンオフサイリスタの縦断面図、第2図は第1図の要部拡大図である。

1…半導体基体、4…主電極（カソード電極）、  
4…制御電極（ゲート電極）、6…圧力緩和金属、  
7…電極板、9…セラミック。

代理人 弁理士 高橋明夫



第1頁の続き

の発明者

桜田

修六

日立市幸町3丁目1番1号 株式会社日立製作所日立工場  
内